

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044377
(43)Date of publication of application : 16.02.2001

(51)Int.Cl. H01L 27/105

(21)Application number : 2000-224413 (71)Applicant : SAMSUNG ELECTRONICS CO LTD
(22)Date of filing : 25.07.2000 (72)Inventor : JUNG DONG-JIN
KIM KI-NAM

(30)Priority

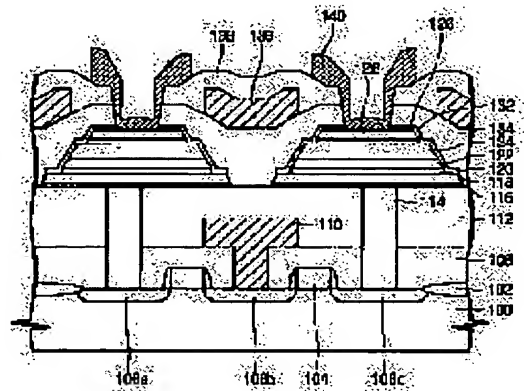
Priority number : 99 9930398 Priority date : 26.07.1999 Priority country : KR

(54) ONE TRIPLE METAL WIRING TRANSISTOR, ONE CAPACITOR, AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve improved ohmic contact between the lower electrode of a ferroelectric capacitor and the ohmic contact of a contact plug by forming an interlayer insulating film and an oxide prevention film on a semiconductor substrate, then forming a diffusion prevention film pattern on it, and etching the exposed oxidation prevention film.

SOLUTION: A first interlayer insulation-film 108 is deposited on a silicon substrate 100 including a transistor 104, then tungsten is deposited, and the tungsten is etched in a specific pattern for forming a bit line 110. Then, a second interlayer insulating film 112 is deposited on the first interlayer insulating film 108 including the bit line 110. Then, an oxidation prevention film 118 and a diffusion prevention film 132 are formed in lamination on it, the diffusion prevention film 132 is subjected to patterning for forming a diffusion prevention film pattern, and the exposed oxide film 118 is etched, thus improving the ohmic contact between the lower electrode of a ferroelectric capacitor and a contact plug 114.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-44377

(P2001-44377A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl.

H01L 27/105

識別記号

F I

H01L 27/10

テーマコード(参考)

444B

審査請求 未請求 請求項の数25 O L (全 12 頁)

(21) 出願番号 特願2000-224413(P2000-224413)

(22) 出願日 平成12年7月25日 (2000.7.25)

(31) 優先権主張番号 199930398

(32) 優先日 平成11年7月26日 (1999.7.26)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 鄭 東鎮

大韓民国京畿道水原市八達区英通洞碧道骨

(番地なし) 斗山エービーティ804棟202号

(72) 発明者 金 奇南

大韓民国京畿道安養市東安區平村洞932-

6番地B/Lクムタウンライフエービーテ

ィ108棟502号

(74) 代理人 100064908

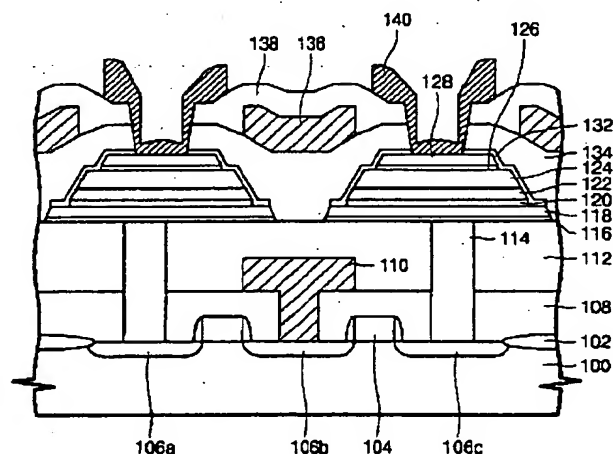
弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 三重金属配線一つのトランジスター／一つのキャパシタ及びその製造方法

(57) 【要約】

【課題】 強誘電体キャパシタの下部電極とコンタクトプラグが良好な Ω 接触を有する強誘電体記憶素子及びその製造方法を提供することである。

【解決課題】 コンタクトプラグを通じてトランジスターと電気的に連結される強誘電キャパシタをパターンニングした後、コンタクトプラグの上に形成される酸化防止膜がキャパシタを覆う拡散防止膜を熱処理した後パターンニングするという特徴を有する。



【特許請求の範囲】

【請求項1】 強誘電体素子形成方法において、半導体基板の上にコンタクトプラグを含む層間絶縁膜を形成する段階と、前記コンタクトプラグを含む前記層間絶縁膜の上に酸化防止膜を形成する段階と、前記酸化防止膜の上に前記コンタクトプラグを覆うようにキャパシタと前記キャパシタを包む拡散防止膜パターンを順次に形成する段階と、露出された前記酸化防止膜をエッチングする段階を含むことを特徴とし、前記キャパシタは前記酸化防止膜を通じて前記コンタクトプラグに電気的に連結される強誘電体素子形成方法。

【請求項2】 前記コンタクトプラグを含む前記層間絶縁膜の上に接着強化膜をさらに形成する段階を含み、前記酸化防止膜をエッチングする段階は、前記キャパシタを含んで前記酸化防止膜の上に拡散防止膜を形成する段階と、フォトリソマスクを使用して前記拡散防止膜パターンを形成する段階と、前記酸化防止膜パターンを使用して前記酸化防止膜及び前記接着強化膜をエッチングする段階を含み、前記酸化防止膜は前記強誘電体からの物質移動を防止することを特徴とする請求項1に記載の強誘電体素子形成方法。

【請求項3】 前記エッチングされた酸化防止膜及び接着強化膜はキャパシタから側面に拡張されたエッチングパターンを有することを特徴とする請求項2に記載の強誘電体素子形成方法。

【請求項4】 前記拡散防止膜を酸素雰囲気中で約650℃で約30分間熱処理する段階をさらに含むことを特徴とする請求項2に記載の強誘電体素子形成方法。

【請求項5】 前記層間絶縁膜を形成する段階は、一対の不純物拡散領域を有するトランジスタを前記半導体基板の上に形成する段階と、前記トランジスタを含んで前記半導体基板の上に第1絶縁膜を形成する段階と、前記第1絶縁膜を通過して前記一つの不純物拡散領域に電気的に連結されるように第1金属配線を形成する段階と、第2絶縁膜を蒸着する段階を含むことを特徴とし、前記キャパシタは前記他の一つの不純物拡散領域に電気的に連結されることを特徴とする請求項1に記載の強誘電体素子形成方法。

【請求項6】 前記キャパシタを含んで前記層間絶縁膜の上に第3絶縁膜を蒸着する段階と、前記第3絶縁膜の上に前記トランジスタを電気的に連結される第2金属配線を形成する段階と、前記第2金属配線を含んで前記第3絶縁膜の上に第4絶縁膜を蒸着する段階と、

前記第4絶縁膜を突き抜けて前記強誘電体キャパシタの上部電極パターンに電気的に連結される第3金属配線を形成する段階とをさらに含むことを特徴とする請求項5に記載の強誘電体素子形成方法。

【請求項7】 前記第1金属配線はタングステンによって作られ、前記第2金属配線はチタン、チタン窒化膜、アルミニウムそしてチタン窒化膜の積層膜によって作られ、前記第3金属配線はアルミニウムによって作られることを特徴とする請求項6に記載の強誘電体素子形成方法。

【請求項8】 前記酸化防止膜はイリジウム、ロジウムそしてルテニウムの中のいずれか一つによって形成され、前記接着強化膜はチタンによって形成されることを特徴とする請求項1に記載の強誘電体素子形成方法。

【請求項9】 前記キャパシタを形成する段階は、前記酸化防止膜の上に下部電極膜を形成する段階と、前記下部電極膜の上に強誘電体膜を形成する段階と、前記強誘電体膜の上に上部電極膜を順次に形成する段階と、

第1フォトリソグラフィーを通じて前記上部電極膜をエッチングする段階と、

第2フォトリソグラフィーを通じて前記酸化防止膜が現れる時まで、前記強誘電体膜そして前記下部電極膜を順次にエッチングする段階を含むことを特徴とする請求項1に記載の強誘電体素子形成方法。

【請求項10】 前記キャパシタを形成する段階は、前記酸化防止膜の上に下部電極膜を形成する段階と、前記下部電極膜の上に強誘電体膜を形成する段階と、前記強誘電体膜の上に上部電極膜を形成する段階と、フォトリソグラフィーを通じて前記上部電極膜、強誘電体膜そして下部電極膜を順次にエッチングする段階を含むことを特徴とする請求項1に記載の強誘電体素子形成方法。

【請求項11】 前記下部電極膜は二酸化イリジウムと白金の二層膜によって形成され前記上部電極膜は二酸化イリジウムとイリジウムの二層膜によって形成されることを特徴とする請求項9又は請求項10に記載の強誘電体素子形成方法。

【請求項12】 前記下部電極と上部電極膜は同一な物質によって形成され、前記物質は白金、イリジウム、ルテニウム、酸化膜電極との組合せ及び二酸化イリジウム／白金の二層膜の中のいずれか一つであることを特徴とする請求項9又は10に記載の強誘電体素子形成方法。

【請求項13】 一つのトランジスタ／一つのキャパシタ強誘電体記憶素子を形成する方法において、ゲート電極及び一対のソース／ドレイン領域を有するトランジスタを半導体基板の上に形成する段階と、前記トランジスタを含んで前記半導体基板の上に第1層間絶縁膜を形成する段階と、前記第1層間絶縁膜を突き抜けて前記一つのソース／ド

レーン領域に電氣的に連結される第1金属配線を形成する段階と、

前記第1金属配線を含んで前記第1層間絶縁膜の上に第2層間絶縁膜を形成する段階と、

前記第2及び第1層間絶縁膜を突き抜けて前記他の一つのソース/ドレイン領域に電氣的に連結されるコンタクトプラグを形成する段階と、

前記コンタクトプラグと電氣的に連結されるように前記第2層間絶縁膜の上に強誘電体キャパシタを形成する段階と、

前記強誘電体キャパシタを含んで前記第2層間絶縁膜の上に第3層間絶縁膜を形成する段階と、

前記第3層間絶縁膜の上に前記ゲート電極に電氣的に連結される第2金属配線を形成する段階と、

前記第2金属配線を含んで前記第3層間絶縁膜の上に第4層間絶縁膜を形成する段階と、

前記第4及び第3層間絶縁膜を突き抜けて前記強誘電体キャパシタと電氣的に連結される第3金属配線を形成する段階を含むことを特徴とする一つのトランジスター/一つのキャパシタ強誘電体記憶素子形成方法。

【請求項14】 前記強誘電体キャパシタを形成する段階は、

前記コンタクトプラグを含んで前記第2層間絶縁膜の上に接着強化膜を蒸着する段階と、

前記コンタクトプラグの酸化を防止するために前記接着強化膜の上に酸化防止膜を蒸着する段階と、

下部電極膜、強誘電体膜そして上部電極膜を順次に形成する段階と、

前記上部電極膜、強誘電体膜、下部電極膜、酸化防止膜そして接着強化膜をパターンニングする段階を含むことを特徴とする請求項13に記載の一つのトランジスター/一つのキャパシタ強誘電体記憶素子形成方法。

【請求項15】 前記上部電極膜、強誘電体膜、下部電極膜、酸化防止膜そして接着強化膜をパターンニングする段階は、

前記上部電極膜をエッチングする段階と、

前記酸化防止膜が現れる時まで、前記強誘電体膜及び前記下部電極膜を同時にエッチングしてキャパシタを形成する段階と、

前記露出された酸化防止膜及び前記接着強化膜をエッチングする段階を含み、

前記エッチングされた酸化防止膜及び接着強化膜は前記強誘電体キャパシタから側面へ拡張されたエッチングパターンを有することを特徴とする請求項14に記載の一つのトランジスター/一つのキャパシタ強誘電体記憶素子形成方法。

【請求項16】 前記酸化防止膜及び接着強化膜をエッチングする段階は、

前記キャパシタ及び前記酸化防止膜を含んで前記層間絶縁膜に拡散防止膜を形成する段階と、

フォトリソマスクを使用して前記拡散防止膜をパターンニングする段階と、

パターン化された前記拡散防止膜を使用して前記酸化防止膜及び前記接着強化膜をエッチングする段階を含み、前記酸化防止膜は前記強誘電体キャパシタからの物質移動を防止することを特徴とする請求項15に記載の一つのトランジスター/一つのキャパシタ強誘電体記憶素子形成方法。

【請求項17】 前記第1金属配線はタングステンによって作られ、前記第2金属配線はチタン、チタン窒化膜、アルミニウムそしてチタン窒化膜の積層膜によって作られ、前記第3金属配線はアルミニウムによって作られることを特徴とする請求項13に記載の一つのトランジスター/一つのキャパシタ強誘電体記憶素子形成方法。

【請求項18】 前記強誘電体キャパシタ及び前記酸化防止膜を含んで前記第2層間絶縁膜の上に拡散防止膜をさらに形成することを特徴とする請求項14に記載の一つのトランジスター/一つのキャパシタ強誘電体記憶素子形成方法。

【請求項19】 前記酸化防止膜はイリジウム、ロジウムそしてルテニウムの中のいずれか一つによって形成され、前記接着強化膜はチタンによって形成され、前記拡散防止膜は二酸化チタンそしてアルミナの中のいずれか一つによって形成されることを特徴とする請求項18に記載の一つのトランジスター/一つのキャパシタ強誘電体記憶素子形成方法。

【請求項20】 一つのトランジスター/一つのキャパシタ強誘電体記憶素子において、半導体基板の上に形成されたゲート電極及び一対のソース/ドレイン領域を有するトランジスターと、前記トランジスターを含んで前記半導体基板の上に形成された第1層間絶縁膜と、

前記第1層間絶縁膜を突き抜けて前記一つのソース/ドレイン領域に電氣的に連結される第1金属配線と、

前記第1金属配線を含んで前記第1層間絶縁膜の上に形成された第2層間絶縁膜と、

前記第2及び第1層間絶縁膜を突き抜けて前記他の一つのソース/ドレイン領域に電氣的に連結されるコンタクトプラグと、

前記コンタクトプラグと電氣的に連結されるように前記第2層間絶縁膜の上に形成された強誘電体キャパシタと、

前記強誘電体キャパシタを含んで前記第2層間絶縁膜の上に形成された第3層間絶縁膜と、

前記第3層間絶縁膜を突き抜けて前記ゲート電極に電氣的に連結される第2金属配線と、

前記第2金属配線を含んで前記第3層間絶縁膜の上に第4層間絶縁膜と、

前記第4及び第3層間絶縁膜を突き抜けて前記強誘電体キャ

パシタと電氣的に連結される第3金属配線を含むことを特徴とする一つのトランジスタ／一つのキャパシタ強誘電体記憶素子形成方法。

【請求項21】 前記第1金属配線はタングステンによって作られ、前記第2金属配線はチタン、チタン窒化膜、アルミニウムそしてチタン窒化膜の積層膜によって作られ、前記第3金属配線はアルミニウムによって作られることを特徴とする請求項20に記載の一つのトランジスタ／一つのキャパシタ強誘電体記憶素子形成方法。

【請求項22】 前記強誘電体キャパシタは、前記第2層間絶縁膜の上に形成された接着強化膜と、前記接着強化膜の上に形成された酸化防止膜と、前記酸化防止膜の上に形成された下部電極膜と、前記下部電極膜の上に形成された強誘電膜と、前記強誘電膜の上に形成された上部電極を含むことを特徴とする請求項20に記載の一つのトランジスタ／一つのキャパシタ強誘電体記憶素子形成方法。

【請求項23】 前記強誘電体キャパシタを包むように形成された反応防止膜をもっと含むことを特徴とする請求項22に記載の一つのトランジスタ／一つのキャパシタ強誘電体記憶素子。

【請求項24】 前記酸化防止膜はイリジウム、ロジウムそしてルテニウムの中のいずれか一つによって形成され、前記接着強化膜はチタンによって形成され、前記拡散防止膜は二酸化チタンそしてアルミナの中のいずれか一つによって形成されることを特徴とする請求項23に記載の一つのトランジスタ／一つのキャパシタ強誘電体記憶素子。

【請求項25】 前記接着強化膜及び酸化防止膜は前記キャパシタ下部電極膜から側面に拡張されたパターンを有することを特徴とする請求項22に記載の一つのトランジスタ／一つのキャパシタ強誘電体記憶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】現代のデータ処理システムはメモリに貯蔵された情報に対する速いアクセスのためにはランダムにアクセス可能にすべきである。半導体産業において記憶素子は速い動作速度を要求しこのような状況によって強誘電体メモリ素子(ferroelectric random access memory、以下FRAMという)に対する研究が活発になった。周知のように、このようなFRAMは不揮発性の特性を有してあるが、このような不揮発性特性はキャパシタ電極の間に強誘電体膜を具備してあって可能である。このような強誘電体膜はお互い異なる二つの安定な分極状態を有するが、印加された電圧に対して分極状態を示すグラフで周知のように特徴的なヒステリシス(hysteresis)ループに示される。

【0002】

【従来の技術】上述したようにFRAMは、フラッシュメモリ(flash memory)のように不揮発性特性、相対的に低い電圧(約5V以下)での書込が可能であり(フラッシュメモリの場合18-22V)、優れた動作速度(数十nsec約40nsec以下)(フラッシュメモリの場合数msec)、強い耐性(約10¹²以上)(フラッシュメモリの場合10⁵~10⁶)、低い消費電力で(待機電流(standby current)が約1マイクロアンペア以下)動作が可能な長所を有する。

【0003】このようなFRAMはトランジスタと強誘電体キャパシタを含む。周知のように、強誘電体キャパシタはトランジスタと電氣的に連結されるべきである。このような連結は次のような方法で行われる。一番目の方法は金属を利用した局所的相互連結(local interconnection)方法である。一例としてU. S. 特許公報番号5, 119, 154がここに参照に挙げられる。他の方法は、ポリシリコン又はタングステンのような導電性物質を利用したコンタクトプラグを通じてトランジスタとキャパシタを連結する方法である。高集積FRAMのためには単位セルを最小化することが必要であるので、局所的相互連結の方法は高集積FRAMに適合しない。

【0004】従って、コンタクトプラグを通じた連結方法が高集積FRAMに適用されている。U. S. 特許公報番号5, 854, 104, と5, 591, 663等が個々に参照に挙げられるが、トランジスタのドレイン領域がコンタクトプラグを通じてキャパシタに連結される方法を提案している。

【0005】図1から図5は強誘電メモリ形成方法を順次に示す断面図として、前記したU. S. 特許公報番号5, 854, 104によるコンタクトプラグを通じたキャパシタとトランジスタの連結方法を概略的に図示している。

【0006】図1を参照すると、素子分離領域(2)が半導体基板(1)の上に定義される。ゲート酸化膜(3)、ゲート電極及びソース(5a)そしてドレイン(5b)領域を有するトランジスタが形成される。ビットライン(6)がソース領域(5a)と電氣的に連結されるように形成される。酸化膜であるBPSSG膜(borophosphosilicate glass layer)(7)が形成物の上に形成される。それから、約1,000オングストロームの厚さの二酸化チタン(TiO₂)膜(8)がスパッタリング方法によって蒸着されるが、二酸化チタン膜(8)は拡散防止膜としての役割をする。フォトリソグラフィ工程によって酸化膜(7)がパターン化されエッチングされドレイン領域(5b)を露出させるコンタクトホールが形成される。

【0007】次に図2を参照すると、約500オングストロームの厚さのチタン膜と約1,000オングストロ

ームの厚さのチタン窒化膜 (TiN) の二重膜 (10) と約5,000オングストロームの厚さのタングスタン膜 (11) がスパッタ方法に蒸着されコンタクトホールを満たす。それからタングスタン膜 (11) 及び二重膜 (10) が化学的機械研磨工程 (CMP: chemical mechanical polishing) のような方法によってエッチバックされコンタクトプラグが形成される。

【0008】次に、約500オングストローム厚さのチタン窒化膜 (12) 及び約500オングストローム厚さの白金膜 (Pt, 13) が順次にスパッタされ、図3に示したように、所定のパターンを有するレジストマスク (9b) が白金膜 (13) の上に形成される。パターン化されたレジストマスク (9b) を使用してチタン窒化膜 (12) 及び白金膜 (13) が乾式エッチングされ下部電極が形成される。

【0009】次に、約2,000オングストローム厚さを有する強誘電体膜であるPZT膜 (14) が下部電極の上にゾルーゲル方法、スパッタリング方法又はMOCVD法等によって蒸着され結晶化のための熱処理工程が実行される。それから約1,000オングストローム厚さを有する白金膜 (15)、約500オングストローム厚さを有するチタン窒化膜 (16) そして約1,000オングストローム厚さを有するアルミニウム (17) が順次に蒸着される。蒸着された膜 (17, 16及び15) に対して高濃度プラズマシステム手段による乾式エッチング工程が実行されるが、図4に示したようにパターン化されたレジストマスク (9c) を使用する。マスク (9c) を使用して膜 (17, 16) がエッチングされ強誘電体キャパシタが形成される。

【0010】上述した方法でキャパシタが完成された後、絶縁膜 (18) が形成物の上に蒸着される。キャパシタを駆動ライン (drive line: 未図示) に連結するためのコンタクトホールが絶縁膜 (18) の内に形成される。それから、アルミニウム配線が形成される。

【0011】上述した方法によると、下部電極をパターンニングした後、強誘電体膜が形成される。即ち、下部電極を完成した後、強誘電体膜の蒸着後結晶化のための熱処理が約600°Cから約800°C範囲の酸素雰囲気で行われる。さらに、拡散防止膜形成後、約500°C以上の酸素雰囲気中で拡散防止膜の特性を向上させるための熱処理が実行される。上述した熱処理工程は下部電極とコンタクトプラグ界面又はチタン窒化膜とコンタクトプラグ界面でキャパシタ側面経路を通じた酸素の拡散へ酸化を起こすことになる。そのような界面での酸化は良好な電気的なオーム接触 (ohmic contact) を具現することができなくなる。結果的に強誘電キャパシタに貯蔵されたデータ情報をデータラインに伝達することができなく、記憶素子としての役割を実行する

ことができなくなる。

【0012】

【発明が解決しようとする課題】本発明は上述した諸般問題点を解決するために提案されたもので、強誘電体キャパシタの下部電極とコンタクトプラグが良好なオーム接触を有する強誘電体記憶素子及びその形成方法を提供することにその目的がある。

【0013】本発明の他の目的は三重金属配線を有する1T/1C強誘電体記憶素子及びその形成方法を提供することにある。

【0014】

【課題を解決するための手段】上述した目的を達成するための本発明の一特徴によると、強誘電体記憶素子を形成する方法を提供する。強誘電体記憶素子形成方法は、半導体基板の上にコンタクトプラグを含む層間絶縁膜を形成する段階と、コンタクトプラグを含む層間絶縁膜の上に酸化防止膜を形成する段階と、酸化膜防止膜の上にコンタクトプラグを覆うようにキャパシタとキャパシタを包む拡散防止膜パターンを順次に形成する段階と、露出された酸化膜防止膜をエッチングする段階を含むことを特徴とし、キャパシタは酸化膜防止膜を通じてコンタクトプラグに電気的に連結される。

【0015】強誘電体素子形成方法は、半導体基板の上に一对の不純物拡散領域を有するトランジスタを形成する段階と、トランジスタを含んで半導体基板の上に第1絶縁膜を形成する段階と、第1絶縁膜を通過して一つの不純物拡散領域に電気的に連結されるように第1金属配線を形成する段階をさらに含み、この時、コンタクトプラグは他の一つの不純物拡散領域に電気的に連結され、層間絶縁膜の形成は第1絶縁膜を蒸着し第2絶縁膜を蒸着する段階を含む。ここで、強誘電体記憶素子形成方法は、強誘電体キャパシタを含んで層間絶縁膜の上に第3絶縁膜を蒸着する段階と、第3絶縁膜の上に第2金属配線を形成する段階と、第2金属配線を含んで第3絶縁膜の上に第4絶縁膜を蒸着する段階と、第4絶縁膜の上に強誘電体キャパシタの上部電極パターンに電気的に連結される第3金属配線を形成する段階をもっと含むことを特徴とする。

【0016】強誘電体素子形成方法は、層間絶縁膜の上に接着強化膜をもっと形成する段階をもっと含み、この時、酸化防止膜をエッチングする段階は、キャパシタを含んで酸化防止膜の上に拡散防止膜を形成する段階と、フォトリソマスクを使用して拡散防止膜パターンを形成する段階と、酸化防止膜パターンを使用して酸化防止膜及び接着強化膜をエッチングする段階を含む。ここで拡散防止膜は強誘電体からの物質移動を防止する役割をする。

【0017】強誘電体記憶素子形成方法において、キャパシタを形成する段階は、酸化防止膜の上に下部電極膜、強誘電体膜そして上部電極膜を順次に形成する段階

と、第1フォトリソグラフィーを通じて上部電極膜をエッチングする段階と、第2フォトリソグラフィーを通じて酸化防止膜が現れる時まで、強誘電体膜そして下部電極膜を順次にエッチングする段階を含む。

【0018】強誘電体素子形成方法において、キャパシタを形成する段階は、酸化防止膜の上に下部電極膜、強誘電体膜そして上部電極膜を順次に形成する段階と、フォトリソグラフィーを通じて上部電極膜、強誘電体膜そして上部電極膜を順次にエッチングする段階を含む。

【0019】上述した目的を達成するための本発明によると、三重金属配線を有する記憶素子を形成する方法を提供する。三重金属配線を有する強誘電体記憶素子形成方法はゲート電極及び一对のソース／ドレイン領域を有するトランジスタを半導体基板の上に形成する段階と、トランジスタを含んで半導体基板の上に第1層間絶縁膜を形成する段階と、第1層間絶縁膜を突き抜けて一つのソース／ドレイン領域に電気的に連結される第1金属配線を形成する段階と、第1金属配線を含んで第1層間絶縁膜の上に第2層間絶縁膜を形成する段階と、第2及び第1層間絶縁膜を突き抜けて他の一つのソース／ドレイン領域に電気的に連結されるコンタクトプラグを形成する段階と、コンタクトプラグと電気的に連結されるように第2層間絶縁膜の上に強誘電体キャパシタを形成する段階と、強誘電体キャパシタを含んで第2層間絶縁膜の上に第3層間絶縁膜を形成する段階と、第3層間絶縁膜を突き抜けて、ゲート電極に電気的に連結される第2金属配線を形成する段階と、第2金属配線を含んで第3層間絶縁膜の上に第4層間絶縁膜を形成する段階と、第4及び第3絶縁膜を突き抜けて強誘電体キャパシタと電気的に連結される第3金属配線を形成する段階を含む。

【0020】上述した三重金属配線を有する強誘電体記憶素子を形成する方法において、強誘電体キャパシタを形成する段階は、コンタクトプラグを含んで第2層間絶縁膜の上に接着強化膜を蒸着する段階と、コンタクトプラグの酸化を防止するために接着強化膜の上に酸化防止膜を蒸着する段階と、下部電極膜、強誘電体膜そして上部電極膜を順次に形成する段階と、上部電極膜、強誘電体膜、下部電極膜、酸化防止膜そして接着強化膜をパターンニングする段階を含むことを特徴とする。

【0021】この時、上部電極膜、強誘電体膜、下部電極膜、酸化防止膜そして接着強化膜をパターンニングする段階は、上部電極膜をエッチングする段階と、酸化防止膜が現れる時まで、強誘電体膜及び下部電極膜を同時にエッチングしてキャパシタを形成する段階と、露出された酸化防止膜及び接着強化膜をエッチングする段階を含み、エッチングされた酸化防止膜及び接着強化膜は強誘電体キャパシタから側面へ拡張されたエッチングパターンを有することを特徴とする。

【0022】酸化防止膜及び接着強化膜をエッチングす

る段階は、キャパシタ及び酸化防止膜を含んで層間絶縁膜に拡散防止膜を形成する段階と、フォトレジストマスクを使用して拡散防止膜をパターンニングする段階と、パターン化された拡散防止膜を使用して酸化防止膜及び接着強化膜をエッチングする段階を含む。

【0023】上述した目的を達成するための本発明によると、三重金属配線を有する1T／1C強誘電体記憶素子を提供する。三重金属配線を有する1T／1C強誘電体記憶素子は、半導体基板の上に形成されたゲート電極及び一对のソース／ドレイン領域を有するトランジスタと、トランジスタを含んで半導体基板の上に形成された第1層間絶縁膜と、第1層間絶縁膜を突き抜き一つのソース／ドレイン領域に電気的に連結される第1金属配線と、第1金属配線を含んで第1層間絶縁膜の上に形成された第2層間絶縁膜と、第2及び第1層間絶縁膜を突き抜けて他の一つのソース／ドレイン領域に電気的に連結されるコンタクトプラグと、コンタクトプラグと電気的に連結されるように第2層間絶縁膜の上に形成された強誘電体キャパシタと、強誘電体キャパシタを含んで第2層間絶縁膜の上に形成された第3層間絶縁膜と、第3層間絶縁膜を突き抜けてゲート電極に電気的に連結される第2金属配線と、第2金属配線を含んで第3層間絶縁膜の上に形成された第4層間絶縁膜と、第4及び第3絶縁膜を突き抜けて強誘電体キャパシタと電気的に連結される第3金属配線を含む。

【0024】上述した三重金属配線を有する1T／1C強誘電体記憶素子において、第1金属配線はタングステンに作られ、第2金属配線はチタン、チタン窒化膜、アルミニウムそしてチタン窒化膜の積層膜に作られ、第3金属配線はアルミニウムに作られることを特徴とする。

【0025】この時、強誘電体キャパシタは、第2層間絶縁膜の上に形成された接着強化膜と、接着強化膜の上に形成された酸化防止膜と、酸化防止膜の上に形成された下部電極膜と、下部電極膜の上に形成された強誘電体膜と、強誘電体膜の上に形成された上部電極を含むことを特徴とする。かつ、強誘電体キャパシタを包むように形成された拡散防止膜をもつを含む。

【0026】上述した本発明の構成によると、酸化防止膜が強誘電体キャパシタ形成後、そして拡散防止膜蒸着及び熱処理後にパターンニングされる。こうすることで、従来技術に現れたコンタクトプラグと下部電極界面での酸化問題を防止することができて信頼性がある電気的なオーム接触を形成することができる。

【0027】かつ配線が全て金属に形成され低抵抗配線が可能であり、これに従って素子の動作特性及び信頼度を向上させることができる。

【0028】本発明は強誘電体記憶素子及びその形成方法に関したことで、特に三重金属配線を有する一つのトランジスタ／一つのキャパシタ（1T／1C）強誘電体記憶素子を提供する。さらにそのような記憶素子を形

成する方法を提供する。

【0029】本発明の特徴は下部電極パターンを形成する前又は下部電極パターン形成と同時に上部電極と強誘電体膜をパターンニングすることにある。本発明の他の特徴は酸化防止膜に対するエッチングが強誘電体キャパシタ形成後、そして拡散防止膜蒸着及び熱処理工程後に実行される。本発明の他の特徴は三重金属配線を有する一つのトランジスター／一つのキャパシタ(1T/1C)強誘電体記憶素子を提供することにある。

【0030】

【発明の実施の形態】以下図6及び図7或いは図14を参照して本発明の実施形態を説明する。本発明は種種他の形態に実施が可能であり、ここに掲示された実施形態に限定されるように解釈してはならない。かつ添付された図面において、膜及び領域は説明の明確化のために誇張されるようにに図示されている。

【0031】本発明に従う三重金属配線を有する1T/1C強誘電体記憶素子が図6に図示されている。

【0032】図6を参照すると、半導体基板100の上に活性領域が素子分離領域102によって定義されている。活性領域の上にトランジスター104が形成されている。トランジスター104は少なくともゲート電極及びその両側に不純物拡散領域106a-100c、もっと具体的にはソース／ドレイン領域を含んで成る。

【0033】不純物拡散領域の中に所定の領域106bに電氣的に連結されるように第1金属配線110、もっと具体的にはビットラインが形成されている。ビットラインは金属例えばタングステンによって形成される。そしてビットライン110が形成された層の上部に形成された他の層に(絶縁膜108及び112を通じて電氣的に隔離されている)強誘電体キャパシタ120-128が形成されている。記憶素子として機能するためにはキャパシタはトランジスターの不純物拡散領域の中に所定部分106cに電氣的に連結されるべきである。本発明によると図6に示したようにコンタクトプラグ114を通じて電氣的に連結されている。接着強化膜116及び酸化防止膜118がコンタクトプラグ114とキャパシタとの間に形成されている。

【0034】キャパシタ及び絶縁膜112の上に絶縁膜134が形成されており、その表面の上に第2金属配線136が形成されている。第2金属配線(ストラップライン)は低抵抗素子具現のためのゲート電極の入れ換えshunting役割をし、金属物質例えば、チタン／チタン窒化膜／アルミニウム／チタン窒化膜多層膜に形成される。かつ第2金属配線は図面には表れないがFRAMのコア及び周辺回路領域の相互連結(interconnection)役割をする。

【0035】第2金属配線136の上に絶縁膜138が形成されており、その表面の上に第3金属配線140がキャパシタの上部電極128と電氣的に連結されるよう

に形成されている。

【0036】上述した強誘電体記憶素子は配線が全て金属で形成されてあって素子の速い動作速度を具現することができる。

【0037】図7から図14を参照して上述した強誘電体キャパシタ形成方法を以下で詳細に説明する。図7から図14で図6に図示された構成要素と同一な機能を有する構成要素に対しては同一な参照番号を併記する。

【0038】まず図7を参照すると、半導体基板100、通常的にシリコン基板が準備される。シリコン基板100の上に活性領域と非活性領域がよく知られた素子分離工程による素子隔離領域102によって定義されるが、活性領域というのは電氣的な連結が形成される所をいう。素子分離工程は例えば、局所的シリコン酸化工程(Local Oxidation of Silicon)、浅いトレンチ分離(Shallow Trench Isolation)工程等がある。これは通常の工程なので説明を省略する。

【0039】素子分離工程に活性領域が定義されると、トランジスターの形成工程が実行される。もっと具体的に見ると、シリコン基板100との電氣的絶縁のためのゲート酸化膜(図面に未図示)が形成される。次にゲート電極膜が蒸着されパターンニングされゲート電極が形成される。それからイオン注入工程が実行され不純物拡散領域であるソース／ドレイン領域106a-100cがゲート電極両側に形成される。次にゲート電極両側にスペーサが形成されトランジスターを完成する。

【0040】次に、トランジスター104を含んでシリコン基板100の上に第1層間絶縁膜108が蒸着される。第1層間絶縁膜は通常的にCVD(chemical vapor deposition)方法による酸化膜に形成される。次に強誘電体記憶素子のデータラインであるビットライン(第1金属配線)形成工程が実行される。まず所定のソース／ドレイン領域106bを露出させるように第1層間絶縁膜108が乾式エッチングされてコンタクトホールが形成される。例えば、約4,000オングストロームの厚さを有するタングステンがコンタクトホールを満たすように第1層間絶縁膜108の上によく知られたスパッタ方法によって蒸着される。それから蒸着されたタングステンが所定のパターンにエッチングされ図7に表れたようにビットライン110が形成される。

【0041】図8を参照すると第1金属配線であるビットライン110を含んで第1層間絶縁膜108の上に第2層間絶縁膜112が蒸着される。第2層間絶縁膜は通常的にCVD方法によって酸化膜に形成される。次工程は後続工程に形成される強誘電体キャパシタとトランジスター104の電氣的連結のためのコンタクトプラグ形成工程である。まずトランジスター104の所定のソース／ドレイン領域106cを露出させるように第2及び

第1層間絶縁膜112、108をエッチングしてプラグ用コンタクトホールを形成する。プラグ用コンタクトホールを完全に満たすように導電膜であるポリシリコンが蒸着される。それから平坦化工程が実行されて図8に図示されたようにコンタクトプラグ114が完成される。

【0042】次工程の強誘電体キャパシタ形成工程は図9から図13に概略的に図示されている。まず図9を参照すると、接着強化膜116、酸化防止膜118、下部電極膜120、122、強誘電膜124、上部電極膜126、128、そして酸化マスク130が蒸着される。もっと具体的に見ると、接着強化膜116に約500オングストロームの厚さを有するチタン膜をスパッタリング方法に蒸着する。接着強化膜116は下部の第2層間絶縁膜112と後続工程に蒸着される膜質との接着特性を強化するためにそしてかつコンタクトプラグ114上部とのオーム接触(ohmic contact)のために蒸着される。

【0043】酸化防止膜118は例えばスパッタリング方法を利用して約1,000オングストロームの厚さを有するイリジウム(Ir)に形成される。かつロジウム又はルテニウムに形成されることができる。酸化防止膜は、後続工程に実行されるいろいろの酸化雰囲気でのアニリング工程で、コンタクトプラグ及びその上部に形成される導電性膜質との接触面が酸化されることを防止するために蒸着される。後述するように、酸化防止膜118はキャパシタ形成後、そして拡散防止膜蒸着及び熱処理工程後エッチングされるので熱処理による特性劣化がなく酸化防止膜役割を十分にすることができる。

【0044】次に強誘電体キャパシタ下部電極に二酸化イリジウム(IrO_2 、120)及び白金(Pt、122)が蒸着される。二酸化イリジウム120は約500オングストロームの厚さを有するように直流(DC: direct current)磁気スパッタリング方法(magnetron sputtering)によって蒸着され、安定な酸化膜電極を形成するために酸素雰囲気中に約600°Cで熱処理される。白金122は約1,000オングストロームの厚さを有するようにスパッタリング方法等によって蒸着される。白金122は後続工程に蒸着される強誘電体膜の結晶化に有利な格子構造を提供してより安定な強誘電体膜形成に助けになる。

【0045】ここで、下部電極に上述した二酸化イリジウム/白金の二層膜以外にその他の金属例えば白金、イリジウム、ロジウム等が単一層に形成することができ、かつこれら金属と酸化膜電極との組合せによって形成することができる。

【0046】次は強誘電膜124形成工程に、まず強誘電体膜前駆物質がゾルゲル方法によって非晶質形態に蒸着される。例えば、PZT膜が約2,000オングストロームの厚さを有するように蒸着される。それから、PZT膜が強誘電特性を示すようにするための結晶化熱

処理を約650°C以上の温度で酸素雰囲気中で実行する。熱処理は急速熱処理方法(rapid thermal annealing)又は炉(furnace)等を利用することができる。もっと具体的に本発明では約700°Cで10分の間に炉熱処理が実行される。

【0047】次は上部電極126、128形成工程に、酸化膜電極126及び金属電極128が蒸着される。酸化膜電極126に二酸化イリジウムがスパッタリング方法に約300オングストロームの厚さを有するように蒸着される。金属電極128にイリジウムがスパッタリング方法に約1,200オングストロームの厚さを有するように蒸着される。

【0048】ここで、上部電極126、128に前述した下部電極と同一な物質に形成することもできる。説明の簡略化のためにこれの説明は省略する。

【0049】次に強誘電体キャパシタ形成のためのフォトリソエッチング工程が実行される。本実施形態においては酸化膜マスク130が利用される。まず酸化膜マスク130がキャパシタパターンを定義するようにパターンニングされる(図10及び図11参照)。それからマスクを使用して下部の膜がエッチングされキャパシタを完成する。

【0050】強誘電体キャパシタ形成のためのフォトリソエッチング工程は後述したように多様に実行されることができる。一番目に、上部電極をまずエッチングした後、通常のリソレジストマスクを利用して強誘電体膜及び下部電極膜をエッチングする方法である。具体的に見ると、パターン化された酸化膜マスク130'を利用して上部電極膜128が図10に表れたように乾式エッチングされる。上部膜128の乾式エッチングは Cl_2 、HBrそして O_2 混合ガスを使用しこれらの流量比は7:14:30 sccmであり、約5 mtorrの圧力で実行される。

【0051】次に、通常のリソレジストマスク(未図示)を使用して強誘電体膜124及び下部電極膜122、120が順次にエッチングされる。強誘電体膜124のエッチングは反応性イオンエッチング(reactive ion etching)形態のエッチング装置を利用してAr、HBr、そして CF_4 混合ガスを使用してエッチングし、下部電極膜122、120はAr及び Cl_2 混合ガスを使用してエッチングし、その結果形成された強誘電キャパシタパターンが図12に概略的に示されている。かつ半導体エッチング工程に通常的に使用されるエッチング装置を使用することもできる。

【0052】二番目、キャパシタ形成のための写真エッチング工程は次のような方法に実行されることができる。図11及び図12を参照すると、酸化膜マスク130'を使用して、上部電極膜(128、126)、強誘電膜(124)そして下部電極膜(122、120)を同時に一つの写真エッチング工程にエッチングすること

もできる。

【0053】次に、図12に示したように、形成された強誘電体キャパシタに物質移動を防止するための拡散防止膜がスパッタリング方法等に蒸着される。それから拡散防止膜の特性を強化させるための熱処理工程が酸素雰囲気中で約650°Cで約30分間実行される。このような酸化雰囲気の熱処理で、酸化防止膜118であるイリジウム膜は従来と違って（図4及び図5）パターニングされていないので酸化防止膜としての役割を十分に（即ち、コンタクトプラグ上部での酸化を防止して）良好なオーム接触を可能にする。拡散防止膜132は例えば二酸化チタン、アルミナ（ Al_2O_3 ）等に形成される。

【0054】次に、フォトエッチング工程を通じて拡散防止膜をパターニングした後これをエッチングマスクにして酸化防止膜118及び接着強化膜116をエッチングして強誘電体キャパシタを完成する。その結果の断面プロファイルが図13に概略的に表れている。

【0055】次工程の第2金属配線形成工程は図14に概略的に表れている。図示されたように強誘電体キャパシタを完成した後、第3層間絶縁膜134が第2層間絶縁膜112の上に強誘電体キャパシタを覆うように蒸着される。それからトランジスターのゲートラインと電気的に連結される第2金属配線136が形成される。第2金属配線はかつコア及び周辺回路領域では相互連結（interconnection）役割をする。もっと具体的に見ると、第2金属配線は、チタン／チタン窒化膜／アルミニウム膜／チタン窒化膜に形成され、各々約3000オングストローム、6000オングストローム、4000オングストローム及び250オングストロームの厚さを有するようにスパッタリング方法等に蒸着される。アルミニウム膜の上のチタン窒化膜は写真工程の限界寸法（critical dimension variation）を最小化する機能もし、アルミニウム膜下部のチタン／チタン窒化膜はバリアー金属（barrier metal）として機能をする。通常的なフォトエッチング工程を通じて蒸着された膜がエッチングされ所定のパターンを有する第2金属配線が完成される。

【0056】次工程は第3金属配線（プレートライン：plate line）形成工程に、図14に示した形成物の上に化学的気象蒸着法による第4絶縁膜138に酸化膜が蒸着される（図6参照）。それから、強誘電体キャパシタの上部電極と電気的に連結される第3金属配線が形成される。もっと具体的に見ると、上部電極を露出させるコンタクトホールが第4絶縁膜138の上に形成され、スパッタリング方法等に金属物質であるアルミニウムが蒸着される。それから、通常的なフォトエッチング工程に蒸着されたアルミニウムがパターニングされ図6に表れたような第3金属配線140が完成される。

【0057】上述したような本発明に従うと、強誘電体キャパシタの上部電極が強誘電体及び下部電極よりまずパターニングされることや又は同時にパターニングされる。そして酸化防止膜に酸化防止効果が優れたイリジウム等を利用しかつこのような酸化防止膜がキャパシタ形成後そして拡散防止膜蒸着及び熱処理後にパターニングされる。従って、拡散防止膜の熱処理工程時酸化防止膜がその役割を十分に安定的なオーム接触を具現することができる。かつ1T/1C強誘電体記憶素子において、多層の配線を金属物質に形成することで、記憶素子の動作速度をいっそう増加させることができる。

【0058】

【発明の効果】本発明による1T/1C強誘電体記憶素子及びその製造方法に従うと、キャパシタ形成後そして拡散防止膜の蒸着及び熱処理後、酸化防止膜がパターニングされる。従って酸化雰囲気の熱処理工程によるコンタクトプラグ及び強誘電体キャパシタ界面での酸化反応を酸化防止膜が抑制することができてその界面で良好なオーム接触を形成することができる。かつ本発明による1T/1C強誘電体記憶素子及びその製造方法に従うと、配線が全て金属に成る。従って記憶素子の動作特性を向上させることができる効果がある。

【図面の簡単な説明】

【図1】 従来方法による一つのトランジスター／一つのキャパシタ製造方法の一連の工程を順次に説明するための形成物の断面図であって、最初の工程における形成物の断面図である。

【図2】 図1で示した工程の後の工程における形成物の断面図である。

【図3】 図2で示した工程の後の工程における形成物の断面図である。

【図4】 図3で示した工程の後の工程における形成物の断面図である。

【図5】 図4で示した工程の後の工程における形成物の断面図である。

【図6】 本発明に従う三重金属配線の一つのトランジスター／一つのキャパシタを概略的に示す断面図である。

【図7】 図6に概略的に図示された三重金属配線の一つのトランジスター／一つのキャパシタを形成する方法の一連の工程を順次に説明するための断面図であって、最初の工程における形成物の断面図である。

【図8】 図7で示した工程の後の工程における形成物の断面図である。

【図9】 図8で示した工程の後の工程における形成物の断面図である。

【図10】 図9で示した工程の後の工程における形成物の断面図である。

【図11】 図10で示した工程の後の工程における形成物の断面図である。

【図12】 図11で示した工程の後の工程における形成物の断面図である。

【図13】 図12で示した工程の後の工程における形成物の断面図である。

【図14】 図13で示した工程の後の工程における形成物の断面図である。

【符号の説明】

100 半導体基板
102 素子分離領域
104 トランジスター

106a-c 不純物拡散領域（活性領域）

108, 112, 134, 138 絶縁膜

110, 136, 140 金属配線

114 コンタクトプラグ

116 接着強化膜

118 酸化防止膜

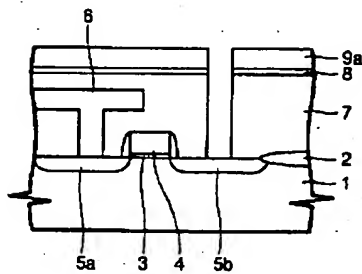
120, 122 下部電極

124 強誘電体膜

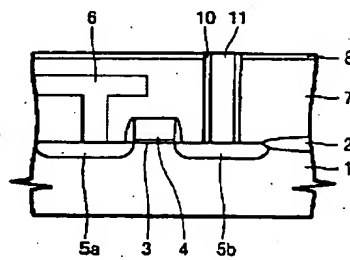
126, 128 上部電極

132 拡散防止膜

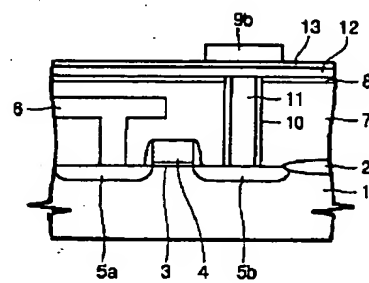
【図1】



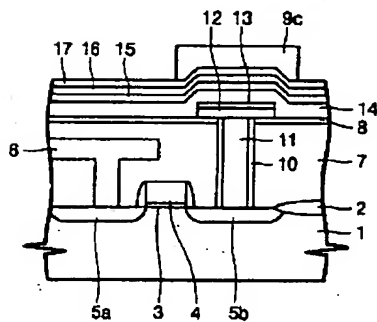
【図2】



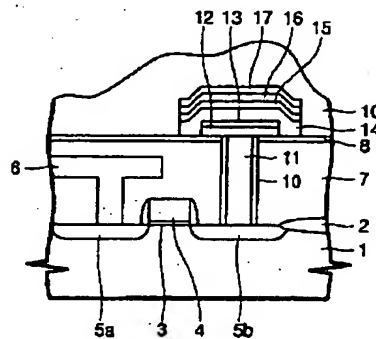
【図3】



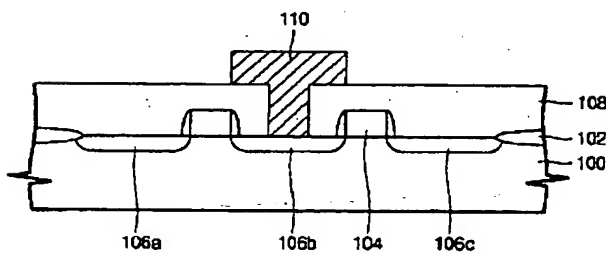
【図4】



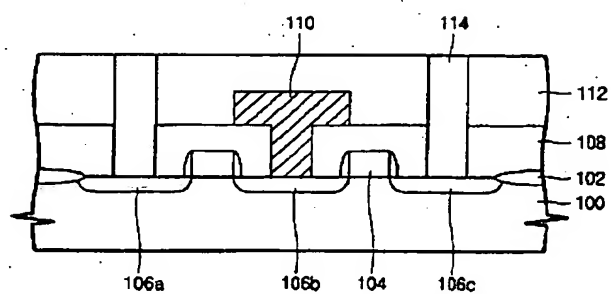
【図5】



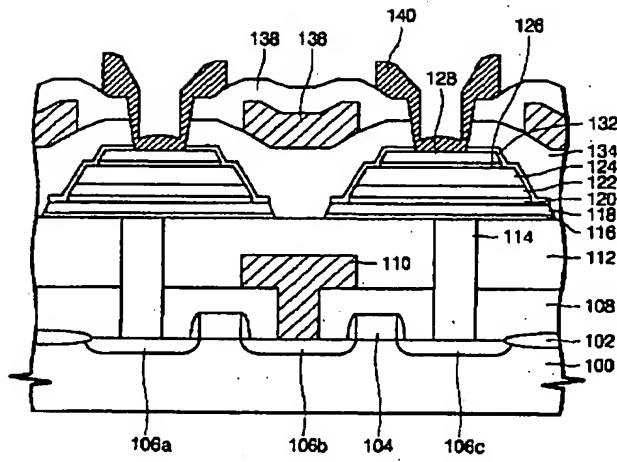
【図7】



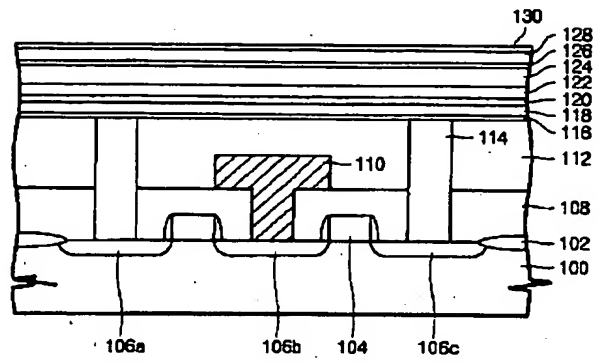
【図8】



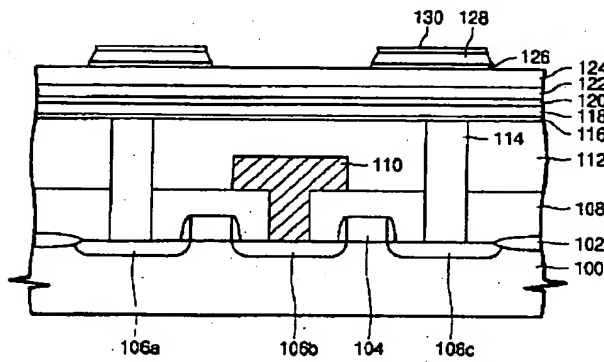
【図6】



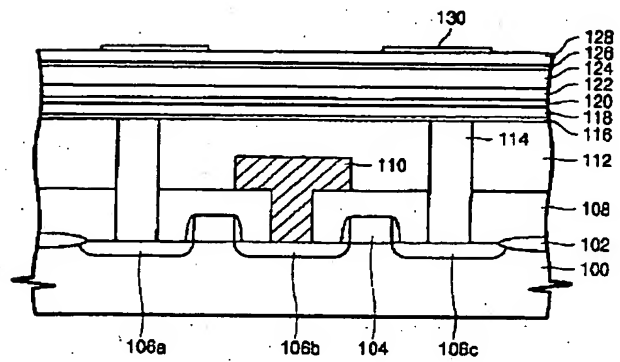
【図9】



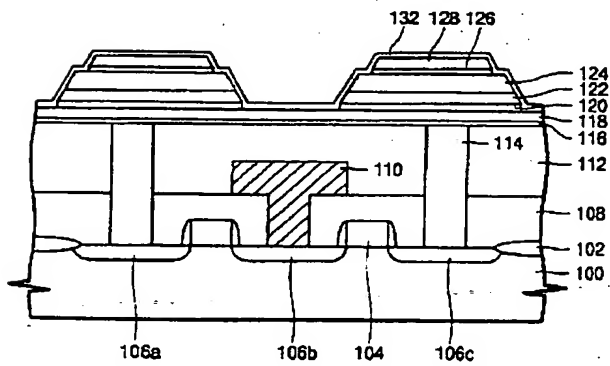
【図10】



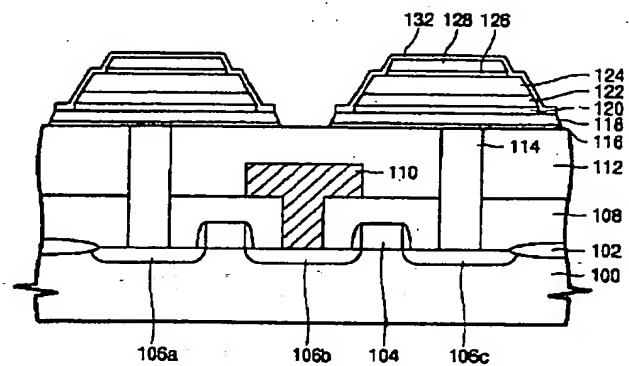
【図11】



【図12】



【図13】



【図14】

